

# UN DESARROLLO DE LA UNIVERSIDAD EN FERMILAB

Antonio García<sup>1</sup>  
Manuel Zanabria<sup>3</sup>

Mauricio Guerrero<sup>2</sup>  
Antonio Collantes<sup>4</sup>

## Abstract

*The DZERO Experiment of FERMI laboratories (Fermi National Acceleration Laboratory), is improving its data acquisition system, migrating several of its modules towards new technologies, looking for a better performance and flexibility, in order to support permanent improvements. The DZERO is a multi-purpose detector for the study of the phenomena involved in short distance proton-antiproton collisions, with center of mass energy of 2 TeV.*

*A card called VRBC (VME Readout Buffer Controller) is in charge of the decision making for data validation. Data acquired in the silicon detectors resulted of collision experiments between particles accelerated by the Tevatrón. The Universidad de los Andes through its department of Physics is working in the DZERO experiment, and with support of the Center of Microelectronics of the Department of Electrical and Electronics Engineering, took the responsibility of update and design this card.*

## Palabras claves

*Fermilab, Acelerador, Dzero, Fpgas*

## INTRODUCCIÓN

Los departamentos de Física e Ingeniería Eléctrica y Electrónica de la Universidad de los Andes, forma parte desde hace varios años del experimento D0 en el cual participan universidades de diferentes países y se realiza en el laboratorio "Fermi National Acceleration

Laboratory / FERMILAB" ubicado en el estado de Illinois de los EEUU. Dentro de esta colaboración participan activamente los profesores y algunos estudiantes del departamento de Física y Eléctrica.

---

<sup>1</sup> Profesor titular, Universidad de los Andes

<sup>2</sup> Profesor asistente, Universidad de los Andes

<sup>3</sup> Profesor asistente, Universidad de los Andes

<sup>4</sup> Estudiante de Magister en Ingeniería Electrónica, Universidad de los Andes

En 1996 se realizó la última toma de datos en el experimento D0, los años siguientes han estado dedicados al análisis de los datos obtenidos y a la actualización de los sistemas de adquisición de datos y detectores en el experimento D0. El presente artículo describe el diseño e implementación de una tarjeta controladora dentro del sistema de adquisición de datos del experimento D0. Este diseño hace parte de la actualización y puesta a punto del experimento para la siguiente toma de datos que está programada para marzo del 2000.

## OBJETIVO

Dentro de la colaboración de la Universidad de Los Andes y Fermilab se decidió que la Universidad diseñaría una nueva tarjeta controladora "VRBC" (Silicon Acquisition and Readout Controller) para remplazar al antiguo controlador "SARC" Silicon Acquisition and Readout Controller. Se contó con el apoyo de Colciencias para llevar a cabo este proyecto y las personas responsables del mismo fueron: El profesor Manuel Zanabria del departamento de física y El profesor Mauricio Guerrero H. del departamento de Eléctrica con la asesoría del profesor Antonio García. Como Ingeniero de diseño estuvo inicialmente Daniel Mendoza ingeniero eléctrico de la Universidad de los Andes y luego Antonio Collantes quien a desarrollado su tesis de maestría en ingeniería electrónica con este proyecto.

Para iniciar el diseño se contó con la información completa de la antigua tarjeta "SARC" y con una serie de nuevos y cambiantes requerimientos para los cuales el "VRBC" debía ser lo suficientemente flexible. Estos nuevos requerimientos obligaron a una nueva concepción del problema y a la utilización de tecnologías de punta que permitieran la implementación de las nuevas funciones y que soportaran lo anteriormente realizado.

Para cumplir con todo lo anterior se implementó un sistema reconfigurable en campo, el cual permite el cambio de funcionamiento de la tarjeta sin necesidad de desconectarla del sistema o de interrumpir de alguna manera el proceso.

## EL SISTEMA DE ADQUISICIÓN DE DATOS (DAQ).

En la figura 1 se describe el sistema de adquisición de datos en el experimento

La información tomada por los detectores de silicio (SVX), proveniente de las colisiones Protón-Antiprotón en el detector es transportada por el secuenciador (SVX Sequencer) utilizando fibra óptica para ser almacenada en las VRB VME Readout Buffer. El VRBC

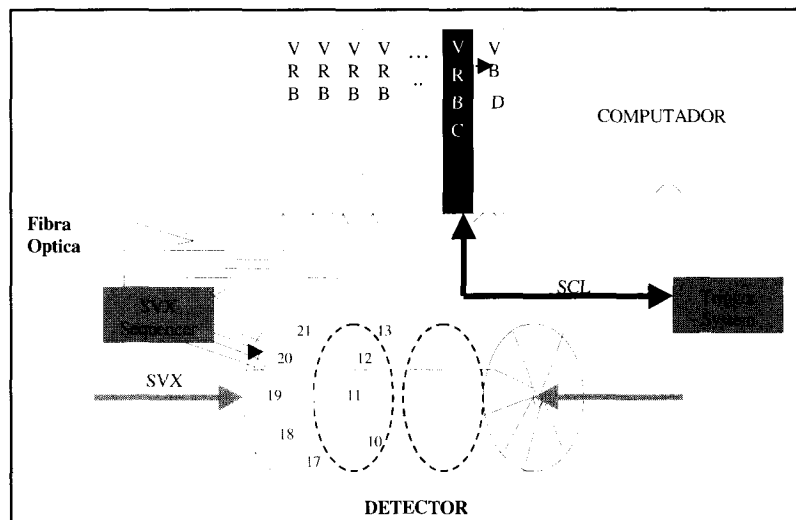


Figura 1

tiene como función principal controlar la forma como se almacenan los datos de los eventos de interés ocasionados por los procesos físicos que resultan de las colisiones entre partículas y arbitrar la forma en la cual éstos serán leídos a través del VRB VME Buffer Driver. Para esto recibe la información proveniente del mecanismo de decisión (Trigger System), el cual determina cuando un evento es de interés y debe ser almacenado o no. El VRBC también envía información serial y señal de sincronismo al secuenciador.

## DISEÑO DEL VRBC

Debido a los requerimientos de: velocidad, número de VRBC's en el sistema (25 en total), a la necesidad de implementar pequeñas memorias trabajando a una relativa alta frecuencia (53 MHz), al requerimiento de ser reconfigurable en campo y a la cantidad de funciones lógicas a implementar, se decidió la utilización de dispositivos lógicos programables de alta densidad, específicamente FPGA's. La figura 2 muestra el diagrama en bloques de esta tarjeta.

El FPGA "VME handling" actúa como maestro, es el encargado de manejar las señales del bus VME y también de configurar en paralelo los otros FPGA's (Autotest & Comparison y Buffer Control). Lo anterior hace posible modificar o cambiar las funciones del VRBC sin la necesidad de desconectar o apagar el sistema. La figura 4 muestra al esquema de programación utilizado para estos dispositivos.

El FPGA "Autotest & Comparison" recibe las señales provenientes del sistema de decisión a través del SCL (Serial Command Link) y transmite las señales que son

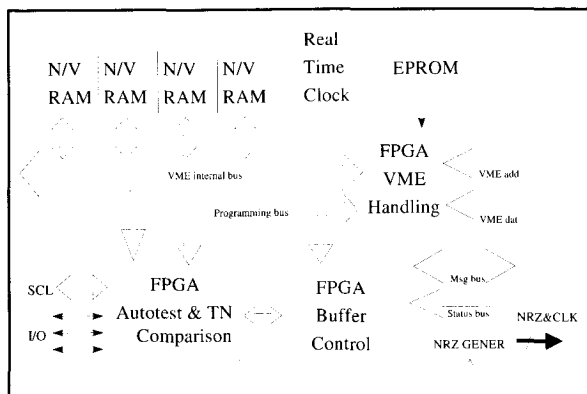


Figura 2

importantes para el "buffer Control". El FPGA "Buffer Control" ordena a las tarjetas VRB cuando pasar la información a un segundo nivel de almacenamiento o cuando rescribir la memoria por que el evento almacenado no es de interés.

La selección de FPGA's se ve justificada por las facilidades de reconfiguración, soportando cambios en las especificaciones de un proyecto en continuo redimensionamiento. Además son muy atractivos debido al corto tiempo de diseño y prototipaje que requieren, y la existencia de herramientas software que permiten la síntesis de descripciones de alto nivel, con un deseado

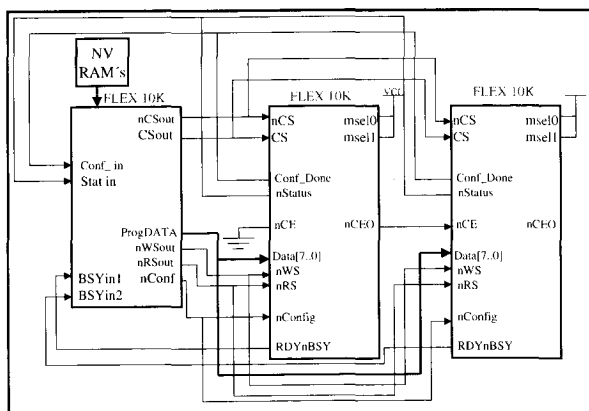


Figura 3

bajo costo para cuando se tienen bajos volúmenes de producción.

## IMPLEMENTACIÓN DEL VRBC

La utilización de dispositivos de un número considerable de pines (144 y 240) implica un gran número de conexiones, además de la separación entre pistas, obliga a la fabricación de un circuito impreso de 8 caras. Debido a las especificaciones del bus VME, a la calidad esperada en los niveles lógicos de la tarjeta, y a la frecuencia de operación; la impedancia característica de la tarjeta es 50 ohmios; esta impedancia es conseguida variando el espesor del dieléctrico entre caras. La figura 4 corresponde a una fotografía del primer

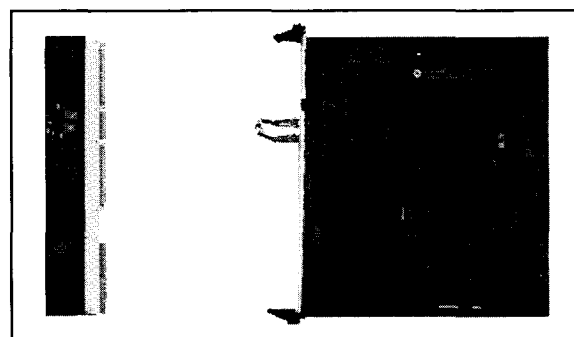


Figura 4.

prototipo. Se puede observar que el tamaño podría ser la mitad o menos debido a la densidad de componentes, pero el mismo está dado por las características de estándar VME y no por el mínimo tamaño.

## CONCLUSIONES

Los resultados obtenidos hasta el momento han sido muy satisfactorios desde múltiples puntos de vista, no solo por los resultados físicos de la actual tarjeta que se encuentra en actual estado de pruebas y depuración en los laboratorios Fermi, y la cual hará parte de la próxima fase de adquisición de datos que seguramente arrojará importante información al mundo científico sobre el mundo de las partículas subatómicas, sino por el fortalecimiento de la colaboración existente entre Unian-des y Fermilab, a través de la unión de los departamentos de Física y Eléctrica/Electrónica. Además el empleo de tecnologías de punta en proyectos que van mas allá del beneficio académico, nos acercan cada vez más a una necesaria actualización y desarrollo de calidad en nuestro sector electrónico.